

UNIVERSITA' DEGLI STUDI DI BARI ALDO MORO ANNO ACCADEMICO
2016 /2017

DIPARTIMENTO INTERATENEO DI FISICA

Programma dell'insegnamento di: Laboratorio di Elettronica

Corso di Laurea Magistrale in FISICA

SSD FIS/01 CFU 6 ore lezione 32 ore ore laboratorio 30

Finalità del corso Obiettivi formativi specifici:

Approfondimenti di alcuni argomenti dell'Elettronica digitale e delle relative applicazioni. Approfondimenti dei metodi di analisi e progettazione di reti digitali combinatorie e sequenziali. Acquisizione della padronanza nell'utilizzo di un software professionale per la simulazione delle reti digitali (Pspice). Capacità di applicare le tecniche elettroniche per la soluzione di problemi concreti di interesse sia della ricerca in fisica che delle applicazioni industriali, mediche, ambientali. Acquisire una solida preparazione su argomenti di elettronica complessi e per specifiche applicazioni. Acquisire una buona conoscenza delle tecnologie correnti. Capacità di analizzare un problema e di proporre la soluzione elettronica (circuitale e tecnologica) più adatta.

Contenuti del corso

Programma Provvisorio del corso di **Laboratorio di Elettronica** a.a. 2016/2017;
Corso di Laurea Magistrale in Fisica;

Sistemi elettronici digitali

Segnali analogici e Segnali digitali. Numeri binari. Conversione di base numerica. Variabili Binarie e logica vero o falso. Rappresentazione variabili binarie. Funzioni logiche. Diagrammi temporali. Circuiti elettrici per realizzare funzioni logiche: Transistor MOS e BJT come interruttori. Struttura CMOS per porte NOT e NAND. Famiglie logiche CMOS e TTL. Definizione livelli logici. Simboli funzioni logiche, tabelle della verità e diagrammi temporali: porte AND, OR, NOT, OR esclusivo, NAND e NOR. Caratteristiche delle porte logiche: fan_out, tempo di propagazione, tempi di salita e discesa. Esempi di datasheet per integrati SSI: 74LS00, 74HCT00, 74LS04, 74HCT04.

Algebra booleana e Funzioni Logiche

Definizione assiomatica algebra booleana. Teoremi fondamentali e dimostrazioni. Funzioni booleane. Analisi di Funzioni booleane e loro rappresentazione mediante circuiti logici. Complemento di funzioni booleane. Funzioni in logica NAND e NOR. Forme canoniche di funzioni booleane. Trasformazione di una funzione booleana in forma canonica. Esempi di realizzazione di funzioni booleane mediante porte logiche. Processo di sintesi di funzioni booleane. Minimizzazione di funzioni booleane; Metodo delle mappe di Karnaugh; Mappe a due e tre variabili. Mappe a quattro e cinque variabili. Minimizzazione in prodotti di somme e somme di prodotti. Condizione "don't care".

Porte Logiche

Introduzione ai circuiti logici combinatori. Variabili esterne e controllo di porte logiche. Porte Open Collector e logica cablata. Porte tri-state e trasmissione dati su bus, esempi di datasheet per integrati 74LS125 e 74LS240 . Livelli di reti logiche e ritardo di propagazione : alea statica e dinamica.

Reti Combinatorie

Procedimento per il progetto di circuiti logici: Multiplexer , Demultiplexer / Data Selector , Decoder e reti programmabili , Decoder BCD-sette segmenti , Encoder e rivelatore di priorità , Comparatore . Codici. Espandibilità di circuiti integrati mediante impiego di segnali di abilitazione in parallelo e in cascata (esempi con 74LS138 e 74LS148). Funzioni aritmetiche : somma e sottrazione binaria , cenni su moltiplicazione e divisione. Circuiti half adder e full Adder ,carry look ahead . Reti programmabili : ROM , PROM, PLD, PAL .

Reti Sequenziali

Definizione di rete sequenziale. Analisi di reti sequenziali asincrone. Il Flip-Flop SR . Reti sequenziali asincrone e sincrone. Il Flip_Flop SR sincronizzato. Il Flip Flop JK. Il Flip-Flop JK Master-Slave. Flip-Flop di tipo D e T . Flip-Flop Edge-triggered. Registri (esempi :datasheet per 74LS373 e 74LS374) . Shift-register (esempio : datasheet 74S299). Contatori asincroni e sincroni (esempio: datasheet 74LS169). Memorie FIFO e RAM .
Equazioni caratteristiche dei flip-flop . Analisi di reti sequenziali sincrone . Tavola degli stati e Diagramma degli stati . Sintesi di reti sequenziali sincrone.

Esperienze di Laboratorio

Sintesi e realizzazione di reti combinatorie e sequenziali ;
Realizzazione e simulazione mediante CAD PSpice di circuiti digitali ;
Misura del tempo di propagazione del segnale attraverso porte logiche ;
Comparatore a 2 Bit ;
Circuito per la trasmissione dati su bus 3-State ;
Display mediante Decoder BCD-sette segmenti;
Decoder attraverso programmazione di una PAL 20L8, mediante utilizzo programma ORCAD PLD inclusa simulazione in/out ;
Contatore asincrono decimale ;
Timer con pre-caricamento dati ;

Contenuti del corso (in lingua inglese)

Provisional program of the course of Laboratory of Electronics a.a. 2016/2017;
Master of Science in Physics;

Digital electronic systems

Analog and digital signals . Binary numbers. Number base conversion. Binary variables and true or false logic. Representation binary variables. logic functions. time charts. Electrical circuits to implement logic functions: MOS and BJT transistor as switches. CMOS structure to NOT gates and NAND logic .Famiglie CMOS and TTL ,defining logical levels. Symbols of logic functions, truth tables and timing diagrams: AND gates, OR, NOT, Exclusive OR, NAND and NOR. Features of the logic gates: fan_out, propagation time, the rise and fall times. Examples of datasheets for SSI integrated: 74LS00, 74HCT00, 74LS04,74HCT04.

Boolean algebra and logic functions

Axiomatic definition Boolean algebra. fundamental theorems and proofs. Boolean functions. Analysis of Boolean functions and their representation as logic circuits. Complement of Boolean functions. The logic functions NAND and NOR. Canonical forms of Boolean functions. Transformation of a Boolean function in canonical form. Examples of realization of Boolean functions by means of logic gates. Process of synthesis of Boolean functions. Minimization of Boolean functions; Method of Karnaugh maps; Maps with two and three variables. Four- and five-variable maps. Minimization of sums, products and sums of products. Condition "do not care".

Logic gates

Introduction to combinational logic circuits. and external control of logic gates variables. Open Collector gates and wired logic. Tri-state gates and bus transmission of data, examples of datasheets for integrated 74LS125 and 74LS240. Levels of logical networks and propagation delay: static and dynamic hazard.

Combinatorial circuit

Procedures for the design of logic circuits: multiplexer, demultiplexer / Data Selector, Decoder and programmable networks, Decoder BCD to seven segments, Encoder and priority detector comparator. Codes . Expandability of integrated circuits by use of the enable signals in parallel and in cascade (with examples 74LS138 and 74LS148). arithmetic functions: binary numbers addition and subtraction , signs of multiplication and division. Circuits half adder and full adder, carry-look-ahead. Programmable device : ROM, PROM, PLD, PAL.

Sequential circuit

Sequential circuit definition. Analysis of asynchronous sequential circuit .II Flip-Flop SR. Asynchronous and synchronous sequential circuits. The Flip_Flop SR synchronized. The Flip Flop Flip-Flop JK.II JK Master-Slave. Flip-flop of the D type and T type . Edge-triggered flip-flop. Register (examples: datasheet for 74LS373 and 74LS374). Shift-register (example: 74S299 datasheet). Asynchronous and synchronous counters (eg 74LS169 datasheet). FIFO and RAM memories. Characteristics equations for flip-flop. Analysis of synchronous sequential circuit . Table of states and States diagram. Synthesis of synchronous circuits.

Laboratory experiments

Synthesis and implementation of combinational and sequential circuits;
Project and simulation of digital circuits using PSpice CAD;
Measurement of the signal propagation time through logic gates;
2 Bit Comparator;
Circuit for the data transmission of 3-State bus;
Display using a Decoder BCD-seven segments;
Decoder project by programming a PAL 20L8 with the OrCAD PLD program including simulation in /out;
Decimal asynchronous counter;
Timer with data pre-loading;

Bibliografia : C. H. Roth , L. Kinney “ Fundamentals of logic designs “ ;
Millman-Grabel Ed. Mc Graw Hill “ Microelettronica”;
Data Sheets per componenti elettronici <http://www.alldatasheet.com/> .

Modalità espletamento prova di esame : prova di laboratorio ed esame orale

E-mail del docente e/o suoi collaboratori : saverio.simone@uniba.it

ricevimento studenti: dalle 10 alle 12; presso Dipartimento di Fisica stanza 1-16

nel giorno Mercoledì ;