

Programma
Laboratorio di Acquisizione Dati / Tecniche di Acquisizione Dati

corso di Laurea **Magistrale in Fisica**
curriculum Fisica Nucleare e Subnucleare / Fisica Applicata

a.a. 2014-2015

Struttura e funzionalità dei calcolatori

Struttura di un calcolatore: processore, memoria cache e memoria principale, mother board, bus, sistemi di I/O. Funzionalità di un calcolatore: caricamento ed esecuzione di istruzioni.

Strutture di interconnessione

Caratteristiche di un bus: tipo, larghezza, arbitraggio, temporizzazione, tipi di trasferimento dati. Interconnessione dei bus: gerarchie di bus multipli. Il bus PCI: descrizione e funzionalità.

Moduli di Input/Output

Funzionalità e struttura di un modulo di I/O. Tecniche di I/O. I/O programmato. I/O con interruzioni, elaborazione delle interruzioni. Accesso diretto alla memoria: svantaggi dell'I/O programmato e dell'I/O con interruzioni, funzionalità DMA.

Comunicazione tra bus PCI – Modulo I/O – Dispositivi esterni. Descrizione di dispositivi esterni con impiego di sensori di temperatura e ADC.

Interfacciamento analogico digitale

Campionamento di segnali analogici e dispositivi Sample and Hold. Conversione Analogico Digitale (ADC) e Digitale Analogica (DAC).

Elementi di C, C++, ROOT

Struttura di un programma C. Variabili, tipi di dato, espressioni. Strutture di controllo e cicli. Input/Output formattato. Vettori. Funzioni e Librerie. Introduzione all'uso di Microsoft Visual Studio. Introduzione a ROOT. Concetto di classe. Istogrammi 1D e 2D. Fit.

Esercitazioni di Laboratorio

Uso di cicli e strutture di controllo;

Uso di vettori ;

Uso di funzioni;

Scrittura e lettura di dati su/da file;

Analisi e rappresentazione di dati mediante istogrammi 1D e 2D;

Utilizzo di schede di acquisizione dati (National Instruments PCI-6503, PCI-62212), libreria di funzioni C;

I/O programmato:

Scrittura di dati su una porta;

Lettura di un registro a 8 bit con valori precaricabili da switch;

Utilizzo di un convertitore analogico-digitale a 8 bit;

Acquisizione dati di temperatura mediante utilizzo di un sensore collegato ad un convertitore analogico-digitale a 8 bit;

Campionamento e ricostruzione di un segnale sinusoidale.

Elementi di Micro-elettronica

Tecnologia ASIC, chip Easiroc: architettura del chip; amplificatori sensibili alla carica a doppia dinamica, shaper, Sample & Hold. Il DAC per il guadagno, il DAC per lo shaping time.

Comunicazione FPGA-Chip Easiroc (cenni): delayed OR32, external HOLD. Studi di formazione del segnale tramite External HOLD per diversi guadagni e shaping time. Studi di linearità in funzione del guadagno: sensibilità alla carica minima, saturazione. Studi di rumore: rumore termico, shot noise, flicker noise. Studi di rumore in funzione dello shaping time. Acquisizione dati in ambiente LabView. Cenni di analisi dati in Python+ROOT.

Riferimenti

W. Stallings, *Architettura e organizzazione dei calcolatori*, Ed. Pearson

W. Kernighan e D. Ritchie, *Linguaggio C*, Jackson Libri

Millman-Grabel, *Microelettronica*, Ed. Mc Graw Hill

<http://root.cern.ch/>

<http://www.ni.com/pdf/manuals/371022k.pdf>

<http://www.ni.com/pdf/manuals/374938b.pdf>

Dispense del docente