

Corso di Laurea Specialistica in Fisica, indirizzo "Tecnologie Fisiche Innovative":
programma di **Tecniche Elettroniche I** per l'anno accademico 2007-08.
Docente prof. Saverio Simone

Sistemi elettronici digitali

Numeri binari. Conversione di base numerica. Variabili Binarie e logica vero o falso. Rappresentazione variabili binarie. Funzioni logiche. Circuiti elettrici per realizzare funzioni logiche. CMOS come interruttori. Famiglie logiche. Definizione livelli logici. Simboli funzioni logiche. Fan_out. Timing.

Algebra booleana e Funzioni Logiche

Definizione assiomatica algebra booleana. Teoremi fondamentali. Funzioni booleane. Analisi di Funzioni booleane e loro rappresentazione mediante circuiti logici. Complemento di funzioni booleane. Funzioni in logica NAND e NOR. Forme canoniche di funzioni booleane. Trasformazione di una funzione booleana in forma canonica. Conversione tra forme canoniche. Esempi di realizzazione di funzioni booleane mediante porte logiche. Processo di sintesi di funzioni booleane. Minimizzazione di funzioni booleane: Metodo tabulare di Quine; Metodo delle mappe di Karnaugh; Mappe a due e tre variabili. Mappe a quattro variabili. Minimizzazione in prodotti di somme e somme di prodotti. Condizione don't care.

Porte Logiche

Porte AND, OR, NOT, OR esclusivo, NAND e NOR. Introduzione ai circuiti logici combinatori. Variabili esterne e controlli di porte logiche. Porte Open Collector e logica cablata. Porte tri-state e trasmissione dati su bus. Livelli di reti logiche e ritardo di propagazione: alea statica e dinamica.

Reti Combinatorie

Procedimento per il progetto di circuiti logici: Multiplexer e Demultiplexer, Encoder e rivelatore di priorità, Decoder. Codici BCD e Gray. Convertitore BCD-sette segmenti.. Espandibilità di circuiti integrati mediante impiego di segnali di abilitazione in parallelo e in cascata. Funzioni aritmetiche: somma e sottrazione binaria, cenni su moltiplicazione e divisione, circuiti Half adder e Full Adder. Reti programmabili: PAL, PLA, PROM.

Reti Sequenziali

Definizione di rete sequenziale. Analisi di reti sequenziali asincrone. Il Flip-Flop SR. Reti sequenziali asincrone e sincrone. Il Flip_Flop SR sincronizzato. Il Flip Flop JK. Il Flip-Flop JK Master-Slave. Flip-Flop di tipo D e T. Flip-Flop Edge-triggered. Registri.

Shift-register. Memorie FIFO, LIFO e RAM. Contatori asincroni e sincroni. Analisi e Sintesi di reti sequenziali sincrone. Sintesi e realizzazione in laboratorio di reti combinatorie e sequenziali.

Programmazione di dispositivi elettronici digitali

Descrizione generale di PLD, CPLD FPGA e strumenti CAD da utilizzare per il flusso di progettazione di un dispositivo elettronico digitale programmabile. Introduzione al linguaggio Verilog HDL, livelli di descrizione dell' hardware, descrizione di logica combinatoria gate-level e behavioral. Utilizzo dei programmi NCVerilog e SimVision. Sintassi degli statement verilog più comuni. Introduzione teorica alle macchine a stati. Descrizione in Verilog di macchine a stati implicite ed esplicite. Cenni sulle diverse tecniche di codifica degli stati. Sintesi di un circuito: descrizione dei constraints. Implementazione della rete sintetizzata nel componente con il software ISE della XILINX.

Esercitazione sulla descrizione di un timer con risoluzione un millesimo di secondo a quattro cifre, utilizzando una macchina a stati per il controllo dei pulsanti di attivazione. Descrizione gerarchica HDL dei blocchi logici di conteggio e di controllo dei display a sette segmenti, simulazione degli stessi, sintesi del circuito globale ed implementazione dello stesso in una FPGA Xilinx.

Testi ed articoli consigliati :

Dispense del Docente;

Millman-Grabel Ed. Mc Graw Hill " Microelettronica";

Data Sheets per componenti elettronici <http://www.alldatasheet.com/>;

The Verilog Hardware Description Language - Professor Don Thomas
<http://www.ece.cmu.edu/~thomas/VSLIDES.pdf>;

VERILOG HDL Training

<http://www.ge.infn.it/~pratolo/verilog/SlidesCorso.pdf>;

Verilog and Finite State Machines

<http://www.caip.rutgers.edu/~bushnell/dsdwebsite/dsdlecture8.ppt>;

FPGA Compiler II - Verilog HDL Reference Manual

<http://www.cse.ucsc.edu/classes/cmpe225/Fall01/synver.pdf>;